

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-134331

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

G05F 1/613

G04C 10/00

G04G 1/00

G05F 1/56

H01L 27/04

H01L 21/822

(21)Application number : 11-311590

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 01.11.1999

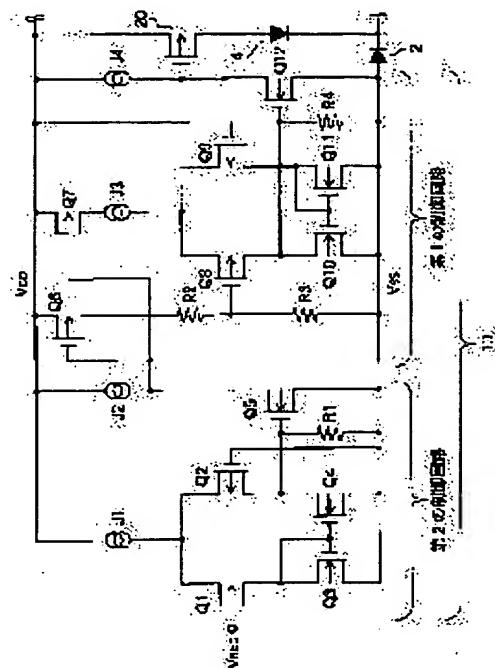
(72)Inventor : MATSUZAKI TAKASHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND DEVICE USING THE INTEGRATED CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor integrated circuit capable of controlling voltage so that the voltage of a secondary power supply does not exceed the voltage resistance of a battery even when quick electric charge is executed by always monitoring the voltage value of the secondary power supply while attaining power reduction and low power consumption.

**SOLUTION:** The semiconductor integrated circuit to be driven between 1st potential and 2nd potential applied to both the ends of a battery to be charged with a 1st current obtained by rectifying an output from an AC generator is provided with a constant voltage circuit for generating 3rd potential having a prescribed potential difference from the 1st potential, a limiter transistor for allowing a 2nd current to flow through a route different from that of the 1st current generated from the AC generator, a 1st control means for generating an overvoltage for controlling the limiter transistor on the basis of the 1st potential and the 2nd potential, and a 2nd control means for generating a control operation signal for driving the 1st control means on the basis of the 2nd potential and the 3rd potential.



## LEGAL STATUS

[Date of request for examination]

24.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-134331

(P2001-134331A)

(43)公開日 平成13年5月18日(2001.5.18)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
G 0 5 F 1/613	3 1 0	G 0 5 F 1/613	3 1 0 2 F 0 0 2
G 0 4 C 10/00		G 0 4 C 10/00	D 2 F 0 8 4
G 0 4 G 1/00	3 1 0	G 0 4 G 1/00	3 1 0 X 5 F 0 3 8
G 0 5 F 1/56	3 1 0	G 0 5 F 1/56	3 1 0 Q 5 H 4 3 0
	3 2 0		3 2 0 C

審査請求 未請求 請求項の数 6 O L (全 5 頁) 最終頁に続く

(21)出願番号 特願平11-311590

(22)出願日 平成11年11月1日(1999.11.1)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 松崎 賛

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

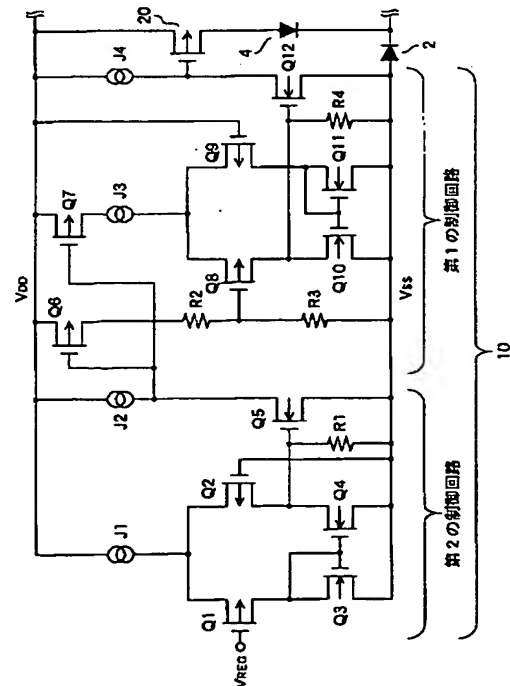
最終頁に続く

(54)【発明の名称】 半導体集積回路及びそれを用いた装置

(57)【要約】

【課題】 低パワー化、低消費電力化を図りつつ、2次電源の電圧値を常に監視することにより、急速な充電があった場合でも2次電源の電圧が充電電池の耐圧を超えないようにした半導体集積回路を提供すること。

【解決手段】 交流発電機の出力を整流して得られる第1の電流により充電される充電電池の両端の第1の電位と第2の電位との間で動作する半導体集積回路であって、第1の電位に対して所定の電位差を有する第3の電位を発生する定電圧回路と、交流発電機の第1の電流とは別の経路で第2の電流を流すためのリミッタ用トランジスタと、第1の電位と第2の電位とに基づいて、リミッタ用トランジスタを制御するための過電圧制御信号を発生するように動作可能な第1の制御手段と、第2の電位と第3の電位とに基づいて、第1の制御手段を動作させるための制御動作信号を発生する第2の制御手段とを具備する。



## 【特許請求の範囲】

【請求項1】 交流発電機の出力を整流して得られる第1の電流により充電される充電池の両端の第1の電位と第2の電位との間で動作する半導体集積回路であって、前記第1の電位に対して所定の電位差を有する第3の電位を発生する定電圧回路と、

前記交流発電機の第1の電流とは別の経路で第2の電流を流すためのリミッタ用トランジスタと、

前記第1の電位と前記第2の電位とに基づいて、前記リミッタ用トランジスタを制御するための過電圧制御信号を発生するように動作可能な第1の制御手段と、

前記第2の電位と前記第3の電位とに基づいて、前記第1の制御手段を動作させるための制御動作信号を発生する第2の制御手段と、を具備することを特徴とする半導体集積回路。

【請求項2】 前記第1及び第2の制御手段の各々が差動回路を含むことを特徴とする請求項1記載の半導体集積回路。

【請求項3】 前記第1の制御手段の差動回路が、前記第1の電位と前記第2の電位とを所定の割合で加算して作成される第4の電位に接続された第1の入力端子と、前記第1の電位に接続された第2の入力端子とを有することを特徴とする請求項2記載の半導体集積回路。

【請求項4】 前記第2の制御手段の差動回路が、前記第3の電位に接続された第1の入力端子と、前記第2の電位に接続された第2の入力端子とを有することを特徴とする請求項2記載の半導体集積回路。

【請求項5】 交流発電機と、前記交流発電機の出力を整流する整流回路と、前記整流回路から得られる第1の電流により充電される充電池と、

前記充電池の両端の第1の電位と第2の電位との間で動作し、前記第1の電位に対して所定の電位差を有する第3の電位を発生する定電圧回路と、

前記交流発電機の第1の電流とは別の経路で第2の電流を流すためのリミッタ用トランジスタと、

前記第1の電位と前記第2の電位とに基づいて、前記リミッタ用トランジスタを制御するための過電圧制御信号を発生するように動作可能な第1の制御手段と、

前記第2の電位と前記第3の電位とに基づいて、前記第1の制御手段を動作させるための制御動作信号を発生する第2の制御手段と、を具備することを特徴とする装置。

【請求項6】 前記装置が時計であることを特徴とする請求項5記載の装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路及びそれを用いた装置に関し、特に、発電機から充電池への過充電を検出して供給電流を制御する回路を含む半導

体集積回路、及び、それを用いた装置に関する。

## 【0002】

【従来の技術】例えば、自動発電機構を有する時計においては、振動に応じて交流電圧を発生する発電機を有しており、この交流電圧をダイオードで整流して充電池に電流を供給することにより、充電池が自動的に充電される。充電池への過充電を防止するため、このような時計に内蔵される半導体集積回路は、充電池の過電圧を検出して供給電流を制御する過電圧制御回路を含んでいる。

【0003】図3は、自動発電機構を有する従来の時計の電源系回路を示す図である。1次電源としての交流発電機1から出力される交流電圧は整流用ダイオード2で整流され、整流された電流が2次電源としての充電池3に充電される。充電池3の両端電位は、高電位側の電源電圧 $V_{DD}$ 及び低電位側の電源電圧 $V_{SS}$ として他の回路に供給される。通常は、これらの電源電圧 $V_{DD}$ と $V_{SS}$ の内の一方が、ケース等に接地される。

【0004】半導体集積回路15の過電圧制御回路は、Pチャネルトランジスタ16及び20と、抵抗17及び18と、差動回路19とを含んでいる。この過電圧制御回路には、数秒～数十秒に1回の割合で数ミリ秒の間だけローレベルとなるサンプリングパルスSPが入力され、Pチャネルトランジスタ16のゲートに印加されるとともに、差動回路19の動作を制御するために使用される。

【0005】サンプリングパルスSPがローレベルになると、Pチャネルトランジスタ16がオンして、抵抗17及び18の抵抗値によって定められる電圧 $V_{11}$ が差動回路19の非反転入力に印加される。差動回路19の反転入力には、高電位側の電源電圧 $V_{DD}$ が印加されている。差動回路19は、サンプリングパルスSPがローレベルになる期間だけ動作し、電圧 $V_{11}$ と電源電圧 $V_{DD}$ との差に応じたローレベルの電圧を出力する。これによりPチャネルトランジスタ20が動作して、交流発電機1の出力電流はリミッタ用ダイオード4を介して流れるようになり、整流用のダイオード2を介して流れる電流が減少して、充電池3の両端電圧が小さくなる。このようにして、2次電源電圧が充電池3の耐圧を超えないようにリミッタ動作を行なっている。サンプリングパルスに基づいてリミッタ動作を行なうのは、低パワー化、低消費電力化のためである。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記構成によれば、手振り等による急速な充電があった場合には、過電圧制御回路が動作していない期間中に2次電源の電圧が充電池の耐圧を超えてしまうおそれがある。2次電源の電圧が充電池の耐圧を超えたとしても、即座に充電池が破壊される訳ではなく、安全性においては何ら問題はないが、充電池の寿命に悪影響を及ぼす。

【0007】そこで、上記の点に鑑み、本発明の目的

は、低パワー化、低消費電力化を図りつつ、2次電源の電圧値を常に監視することにより、急速な充電があった場合でも2次電源の電圧が充電電池の耐圧を超えないようにした半導体集積回路及びそれをを用いた装置を提供することである。

【0008】

【課題を解決するための手段】以上の課題を解決するため、本発明に係る半導体集積回路は、交流発電機の出力を整流して得られる第1の電流により充電される充電電池の両端の第1の電位と第2の電位との間で動作する半導体集積回路であって、第1の電位に対して所定の電位差を有する第3の電位を発生する定電圧回路と、交流発電機の第1の電流とは別の経路で第2の電流を流すためのリミッタ用トランジスタと、第1の電位と第2の電位とに基づいて、リミッタ用トランジスタを制御するための過電圧制御信号を発生するように動作可能な第1の制御手段と、第2の電位と第3の電位とに基づいて、第1の制御手段を動作させるための制御動作信号を発生する第2の制御手段とを具備することを特徴とする。

【0009】ここで、第1及び第2の制御手段の各々が差動回路を含んでも良い。

【0010】さらに、第1の制御手段の差動回路が、第1の電位と第2の電位とを所定の割合で加算して作成される第4の電位に接続された第1の入力端子と、第1の電位に接続された第2の入力端子とを有しても良い。

【0011】また、第2の制御手段の差動回路が、第3の電位に接続された第1の入力端子と、第2の電位に接続された第2の入力端子とを有しても良い。

【0012】本発明に係る装置は、交流発電機と、交流発電機の出力を整流する整流回路と、整流回路から得られる第1の電流により充電される充電電池と、充電電池の両端の第1の電位と第2の電位との間で動作し、第1の電位に対して所定の電位差を有する第3の電位を発生する定電圧回路と、交流発電機の第1の電流とは別の経路で第2の電流を流すためのリミッタ用トランジスタと、第1の電位と第2の電位とに基づいて、リミッタ用トランジスタを制御するための過電圧制御信号を発生するように動作可能な第1の制御手段と、第2の電位と第3の電位とに基づいて、第1の制御手段を動作させるための制御動作信号を発生する第2の制御手段とを具備することを特徴とする。

【0013】ここで、本発明に係る装置は時計であっても良い。

【0014】以上の様に構成した本発明によれば、低パワー化、低消費電力化を図りつつ、2次電源の電圧値を常に監視することにより、急速な充電があった場合でも2次電源の電圧が充電電池の耐圧を超えないようにした半導体集積回路及びそれをを用いた装置を提供することができる。

【0015】

【発明の実施の形態】以下、図面に基づいて、本発明の実施の形態について説明する。尚、同一の要素には同一の番号を付して、説明を省略する。

【0016】図1は、本発明の一実施形態に係る半導体集積回路に含まれる過電圧制御回路の概略回路図である。

【0017】図1に示すように、過電圧制御回路10は、第1の制御回路と第2の制御回路とを有する。第1の制御回路は、電流スイッチとしてのPチャネルトランジスタQ6及びQ7と、抵抗R2及びR3と、定電流源J3と、PチャネルトランジスタQ8及びQ9とNチャネルトランジスタQ10及びQ11とを有する差動対と、高抵抗値のプルダウン抵抗R4と、定電流源J4と、信号反転用のNチャネルトランジスタQ12とを含んでいる。第2の制御回路は、定電流源J1と、PチャネルトランジスタQ1及びQ2とNチャネルトランジスタQ3及びQ4とを有する差動対と、高抵抗値のプルダウン抵抗R1と、定電流源J2と、信号反転用のNチャネルトランジスタQ5とを含んでいる。過電圧制御回路10の出力は、Pチャネルトランジスタ20のゲートに接続される。尚、高電位側の電源電圧V<sub>DD</sub>と低電位側の電源電圧V<sub>SS</sub>との内の一方は、ケース等に接地されても良い。

【0018】次に、過電圧制御回路10の動作について説明する。

【0019】第1の制御回路は、本来の過電圧制御動作を行なうための回路であり、電流スイッチとしてのPチャネルトランジスタQ6及びQ7がオンしたときに差動対が動作する。トランジスタQ6及びQ7がオンすると、抵抗R2及びR3の値によって定められる電圧V1がPチャネルトランジスタQ8のゲートに印加される。トランジスタQ8と差動対を構成するPチャネルトランジスタQ9のゲートには高電位側の電源電圧V<sub>DD</sub>が印加されており、この差動対は、電圧V1と電源電圧V<sub>DD</sub>との差に応じたハイレベルの電圧をトランジスタQ8のドレインから出力し、このハイレベルの電圧はNチャネルトランジスタQ12で反転されてローレベルとなる。これによりPチャネルトランジスタ20が動作して、電圧V1と電源電圧V<sub>DD</sub>との差に応じたドレイン電流を流す。

【0020】第2の制御回路は、第1の制御回路の動作を制御するための回路である。このように2つの差動回路を用いる理由は次の通りである。リミッタ用トランジスタ20の能力は非常に大きいため、第1の制御回路の定電流源J3とJ4の電流値を大きくしなければならないが、そうすると低消費電力化に相反する結果となってしまう。そこで、2次電源の電位差がある程度大きくなったことを第2の制御回路が検出したときに、第1の制御回路が動作するようにしている。低消費電力化のため、第2の制御回路の定電流源J1とJ2は微小電流と

する。

【0021】第2の制御回路において、PチャネルトランジスタQ1のゲートには、例えば定電圧回路によって作成された定電圧 $V_{REG}$ が基準電位として入力される。

トランジスタQ1と差動対を構成するPチャネルトランジスタQ2のゲートには低電位側の電源電圧 $V_{SS}$ が印加されており、電源電圧 $V_{SS}$ が定電圧 $V_{REG}$ よりもある程度低くなると、この差動対は、定電圧 $V_{REG}$ と電源電圧 $V_{SS}$ との差に応じたハイレベルの電圧をトランジスタQ2のドレインから出力する。このハイレベルの電圧はNチャネルトランジスタQ5で反転されてローレベルとなり、第1の制御回路のPチャネルトランジスタQ6とQ7をオンさせて、第1の制御回路を能動状態とする。

【0022】図2は、図1の半導体集積回路を用いた本発明の一実施形態に係る装置の電源系回路を示す図である。

【0023】本実施形態は、自動発電機構を有する時計に本発明を適用したものであり、1次電源として振動に応じて交流電圧を発生する交流発電機1を有しており、この交流電圧を整流用のダイオード2で整流して、整流された電流を充電池3に印加することにより、2次電源としての充電池3が自動的に充電される。さらに、この装置は、リミッタ用ダイオード4と、半導体集積回路5と、時計の針を動かすためのモータ6とを有している。

【0024】半導体集積回路5は、モータ6を駆動するためのモータ駆動回路7と、モータ駆動回路7において使用する所定の周波数のクロック信号を発生するための発振回路8と、発振回路8に定電圧を供給するための定電圧回路9と、充電池3への過充電を防止するために過電圧を検出して電源電圧を制御する過電圧制御回路10と、過電圧制御回路10に接続されリミッタ用トランジスタ20とを含んでいる。

【0025】充電池3の両端電圧は、高電位側の電源電圧 $V_{DD}$ 及び低電位側の電源電圧 $V_{SS}$ として、モータ駆動回路7、定電圧回路9、過電圧制御回路10に供給される。高電位側の電源電圧 $V_{DD}$ は1次電源の一方の端子に接続されているので、これが共通電位となる。

【0026】次に、この装置の動作について説明する。

【0027】過電圧制御回路10は、先に説明したような第1の制御回路と第2の制御回路とを有している。定電圧回路9によって作成された定電圧 $V_{REG}$ が過電圧制御回路10に入力され、第2の制御回路の基準電位とし

て用いられる。第2の制御回路は、低電位側の電源電圧 $V_{SS}$ が基準電位よりも所定の値だけ低くなった場合に、第1の制御回路を動作させる。第1の制御回路は、高電位側の電源電圧 $V_{DD}$ と低電位側の電源電圧 $V_{SS}$ とに基づいて、リミッタ用トランジスタ20を動作させる。そうすると、交流発電機1の出力電流は、リミッタ用ダイオード4を介して流れるようになり、整流用ダイオード2を介して流れる電流が減少して、充電池3の両端電圧が小さくなる。このようにして、2次電源電圧が充電池3の耐圧を超えないようにリミッタ動作を行なっている。

【0028】

【発明の効果】以上述べた様に、本発明によれば、低パワー化、低消費電力化を図りつつ、2次電源の電圧値を常に監視することにより、急速な充電があった場合でも2次電源の電圧が充電池の耐圧を超えないようにすることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体集積回路に含まれる過電圧制御回路の概略回路図である。

【図2】図1の半導体集積回路を用いた本発明の一実施形態に係る装置の電源系回路を示す図である。

【図3】自動発電機構を有する従来の時計の電源系回路を示す図である。

【符号の説明】

Q1～Q12 トランジスタ

R1～R4 抵抗

J1～J4 定電流源

$V_{DD}$  高電位側の電源電圧

$V_{SS}$  低電位側の電源電圧

1 交流発電機

2、4 ダイオード

3 充電池

5、15 半導体集積回路

6 モータ

7 モータ駆動回路

8 発振回路

9 定電圧回路

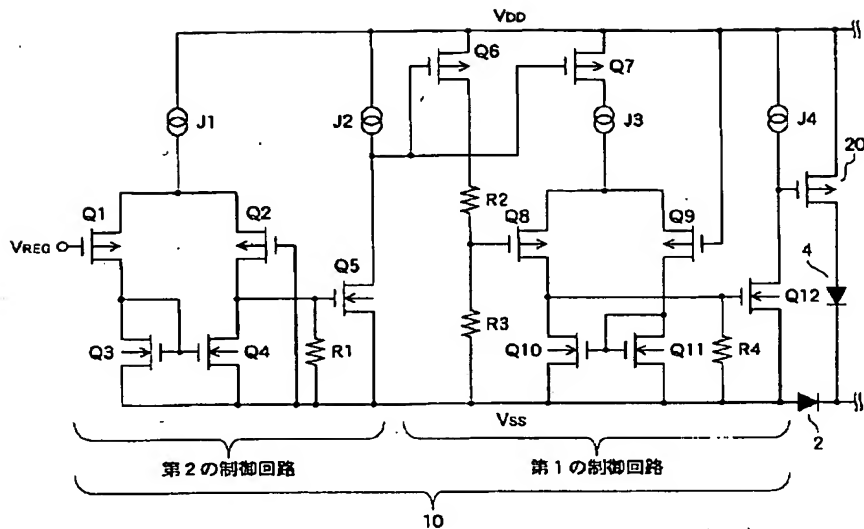
10 過電圧制御回路

16、20 トランジスタ

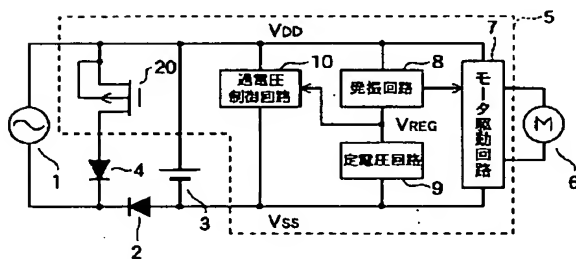
17、18 抵抗

19 差動回路

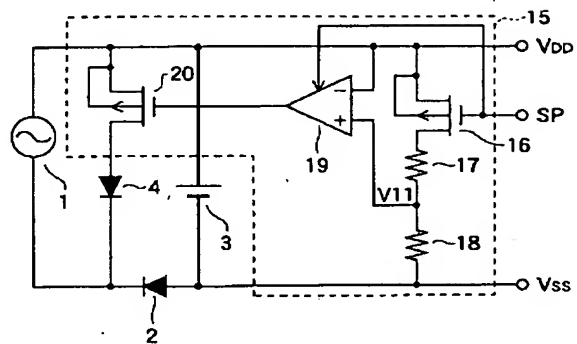
【図 1】



【図 2】



【図 3】



フロントページの続き

(51) Int. Cl. 7

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

テマコード (参考)

B

Fターム (参考) 2F002 AA07 AD08 AE00 AE01 AE02  
ED02 GA04  
2F084 AA07 CC03 GG02 GG03 GG04  
GG08 JJ04 JJ07 JJ08 LL01  
LL02 LL03  
5F038 AZ10 BB04 BH15 DF01 DF08  
EZ20  
5H430 BB01 BB02 BB05 BB09 BB11  
EE06 EE09 FF02 FF12 GG04  
HH03 JJ07 LA02 LA24 LB06